

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Noriaki YOSHIKAWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: DC-DC CONVERTER CONTROL CIRCUIT AND DC-DC CONVERTER

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-115861	April 21, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

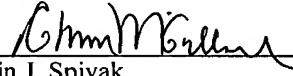
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 4月21日

出願番号

Application Number: 特願2003-115861

[ST.10/C]:

[JP2003-115861]

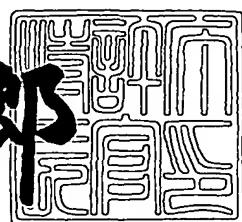
出願人

Applicant(s): 株式会社東芝

2003年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3040832

【書類名】 特許願

【整理番号】 14225501

【提出日】 平成15年 4月21日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 1/10

【発明の名称】 DC-DCコンバータ制御回路、及び、DC-DCコンバータ

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 吉川 典朗

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉武 賢次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐藤 泰和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【選任した代理人】

【識別番号】 100107582

【弁理士】

【氏名又は名称】 関 根 穎

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータ制御回路、及び、DC-DCコンバータ

【特許請求の範囲】

【請求項1】

第1電圧が供給される第1端子と、出力ノードに接続される第2端子とを有する、第1スイッチング素子と、

前記出力ノードに接続される第1端子と、前記第1電圧よりも低い第2電圧が供給される第2端子とを有する、第2スイッチング素子と、

前記第1スイッチング素子の制御端子に第1制御信号を出し、前記第2スイッチング素子の制御端子に第2制御信号を出力することにより、前記第1スイッチング素子と前記第2スイッチング素子のオン状態とオフ状態とを制御する制御回路であって、前記第2スイッチング素子をオフ状態からオン状態にする際には、前記第1スイッチング素子がオフ状態であることを検出した後に、前記第2スイッチング素子をオン状態にする、制御回路と、

を備えることを特徴とするDC-DCコンバータ制御回路。

【請求項2】

前記制御回路は、前記出力ノードの電圧をモニターし、この出力ノードの電圧の変化に基づいて、前記第1スイッチング素子がオフ状態であるかどうかを検出する、第1検出回路を備えることを特徴とする請求項1に記載のDC-DCコンバータ制御回路。

【請求項3】

前記第1検出回路は、前記出力ノードの電圧がローレベルになった場合に、前記第1スイッチング素子がオフ状態になったと判断することを特徴とする請求項2に記載のDC-DCコンバータ制御回路。

【請求項4】

前記第1検出回路は、

一端が前記出力ノードに接続される、第1抵抗と、

前記第1抵抗の他端に接続される第1端子と、第3電圧が供給される制御端子

とを有する、第3スイッチング素子と、

一端が前記第3スイッチング素子の第2端子に接続され、他端に第4電圧が供給される、第2抵抗と、

を備えることを特徴とする請求項3に記載のDC-DCコンバータ制御回路。

【請求項5】

前記制御回路は、前記第1スイッチング素子をオフ状態からオン状態にする際には、前記第2スイッチング素子がオフ状態であることを検出した後に、前記第1スイッチング素子をオン状態にすることを特徴とする請求項1乃至請求項4のいずれかに記載のDC-DCコンバータ制御回路。

【請求項6】

前記制御回路は、前記第2スイッチング素子の制御端子の電圧をモニターし、この制御端子の電圧の変化に基づいて、前記第2スイッチング素子がオフ状態であるかどうかを検出する、第2検出回路を備えることを特徴とする請求項5に記載のDC-DCコンバータ制御回路。

【請求項7】

前記第2検出回路は、前記第2スイッチング素子の制御端子の電圧がローレベルになった場合に、前記第2スイッチング素子がオフ状態になったと判断することを特徴とする請求項6に記載のDC-DCコンバータ制御回路。

【請求項8】

第1電圧が供給される第1端子と、出力ノードに接続される第2端子とを有する、第1スイッチング素子と、

前記出力ノードに接続される第1端子と、前記第1電圧よりも低い第2電圧が供給される第2端子とを有する、第2スイッチング素子と、

前記出力ノードの電圧と、参照電圧とを比較して、この比較結果に基づいて第1制御信号を生成して出力する、フィードバック回路と、

第1制御信号が入力され、この第1制御信号に基づいて、前記第1スイッチング素子の制御端子に出力する第2制御信号と前記第2スイッチング素子の制御端子に出力する第3制御信号とを制御することにより、前記第1スイッチング素子と前記第2スイッチング素子のオン状態とオフ状態とを制御する制御回路であつ

て、前記第2スイッチング素子をオフ状態からオン状態にする際には、前記第1スイッチング素子がオフ状態であることを検出した後に、前記第2スイッチング素子をオン状態にする、制御回路と、

を備えることを特徴とするDC-DCコンバータ。

【請求項9】

前記制御回路は、前記出力ノードの電圧をモニターし、この出力ノードの電圧の変化に基づいて、前記第1スイッチング素子がオフ状態であるかどうかを検出する、第1検出回路を備えることを特徴とする請求項8に記載のDC-DCコンバータ。

【請求項10】

前記第1検出回路は、前記出力ノードの電圧がローレベルになった場合に、前記第1スイッチング素子がオフ状態になったと判断することを特徴とする請求項9に記載のDC-DCコンバータ。

【請求項11】

前記第1検出回路は、

一端が前記出力ノードに接続される、第1抵抗と、

前記第1抵抗の他端に接続される第1端子と、第3電圧が供給される制御端子とを有する、第3スイッチング素子と、

一端が前記第3スイッチング素子の第2端子に接続され、他端に第4電圧が供給される、第2抵抗と、

を備えることを特徴とする請求項10に記載のDC-DCコンバータ。

【請求項12】

前記制御回路は、前記第1スイッチング素子をオフ状態からオン状態にする際には、前記第2スイッチング素子がオフ状態であることを検出した後に、前記第1スイッチング素子をオン状態にすることを特徴とする請求項8乃至請求項11のいずれかに記載のDC-DCコンバータ。

【請求項13】

前記制御回路は、前記第2スイッチング素子の制御端子の電圧をモニターし、この制御端子の電圧の変化に基づいて、前記第2スイッチング素子がオフ状態で

あるかどうかを検出する、第2検出回路を備えることを特徴とする請求項12に記載のDC-DCコンバータ。

【請求項14】

前記第2検出回路は、前記第2スイッチング素子の制御端子の電圧がローレベルになった場合に、前記第2スイッチング素子がオフ状態になったと判断することを特徴とする請求項13に記載のDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DC-DCコンバータ制御回路及びDC-DCコンバータに関するもので、特に、ハイサイドとローサイドとが同時にオン状態になるのを回避したDC-DCコンバータ制御回路及びDC-DCコンバータに関するものである。

【0002】

【従来の技術】

図1は、従来のDC-DCコンバータ制御回路の回路構成を示す図である。この図1に示すように、DC-DCコンバータ制御回路は、制御回路10とトランジスタQ1、Q2とを備えて構成されている。

【0003】

このDC-DCコンバータは、次のように動作する。まず、(1)入力制御信号INがローレベルである場合、NAND回路ND1の出力はハイレベルである。このNAND回路ND1の出力は、ハイサイドのレベルシフト回路30に入力される。ハイサイドのレベルシフト回路30は、グランド電圧基準の信号を、ノードLXの電圧VLX基準の信号に昇圧させる回路である。このため、レベルシフト回路30への入力がハイレベルである場合には、レベルシフト回路30は電圧VLX基準に対してハイレベルの信号を出力する。

【0004】

したがって、入力制御信号INがローレベルである場合、レベルシフト回路30はハイレベルを出力し、トランジスタQ11はオフ状態になり、トランジスタQ12はオン状態になる。このため、ノードHOはローレベルであり、メインの

スイッチング素子であるトランジスタQ1はオフ状態である。

【0005】

マスク時間設定回路40は、入力制御信号INを所定時間だけ遅らせて、NAND回路ND1とNOR回路NR1に出力する回路である。このため、入力制御信号INがローレベルの安定状態にある場合には、マスク時間設定回路40はローレベルの信号を出力している。この結果、NOR回路NR1は、ハイレベルの出力を、インバータ回路INV1に出力している。よって、レベルシフト回路32への入力は、ローレベルとなる。

【0006】

レベルシフト回路32は、ハイサイドのレベルシフト回路30とのマッチングをとるために設けられている回路であり、入力された信号をそのまま出力する回路である。このため、レベルシフト回路32の出力はローレベルとなり、トランジスタQ21がオン状態となり、トランジスタQ22がオフ状態となる。この結果、ノードLOはハイレベルとなり、同期整流用のスイッチング素子であるトランジスタQ2はオン状態である。よって、出力ノードは、トランジスタQ2を介してグランドに接続され、出力電圧OUT1は下降することとなる。出力電圧OUT1が下降するので、インダクタンスL1と、キャパシタC1及び負荷R1との間の出力電圧OUT2も、下降する。

【0007】

(2) 入力制御信号INがローレベルからハイレベルに変化した場合、NOR回路NR1の出力はローレベルになり、インバータ回路INV1の出力はハイレベルになる。このため、ローサイドのレベルシフト回路32の出力がハイレベルになり、トランジスタQ21がオフ状態となり、トランジスタQ22がオン状態となる。したがって、ノードLOがローレベルとなり、トランジスタQ2がオフ状態となる。

【0008】

一方、NAND回路ND1は、マスク時間設定回路40の出力がハイレベルになるまで、これまでと同様にハイレベルを出力する。したがって、トランジスタQ1はオフ状態を維持する。そして、所定時間が経過した後、マスク時間設定回

路40の出力がローレベルからハイレベルに変化する。

【0009】

この結果、NAND回路ND1の出力がローレベルになり、レベルシフト回路30の出力もローレベルになる。このため、トランジスタQ11がオン状態となり、トランジスタQ12がオフ状態となる。この結果、ノードHOがハイレベルになり、トランジスタQ1がオン状態になる。これにより、出力ノードに、トランジスタQ1を介して入力電圧VINが供給され、出力電圧OUT1、OUT2が上昇する。

【0010】

(3) 入力制御信号INがハイレベルからローレベルに変化した場合、NAND回路ND1の出力はハイレベルになる。このため、ハイサイドのレベルシフト回路30の出力がハイレベルになり、トランジスタQ11がオフ状態となり、トランジスタQ12がオン状態となる。したがって、ノードHOがローレベルとなり、トランジスタQ1がオフ状態となる。

【0011】

一方、NOR回路NR1は、マスク時間設定回路40の出力がローレベルになるまで、これまでと同様にハイレベルを出力する。したがって、トランジスタQ2はオフ状態を維持する。そして、所定時間が経過した後、マスク時間設定回路40の出力がハイレベルからローレベルに変化する。

【0012】

この結果、NOR回路NR1の出力がハイレベルになり、インバータ回路INV1の出力がローレベルになる。レベルシフト回路32の出力もローレベルになり、トランジスタQ21がオン状態となり、トランジスタQ22がオフ状態となる。この結果、ノードLOがハイレベルになり、トランジスタQ2がオン状態になる。これにより、出力ノードがトランジスタQ2を介してグランドに接続され、出力電圧OUT1が下降する。

【0013】

図2は、図1に示したDC-DCコンバータ制御回路の動作波形の一例を示す図である。この図2では、入力制御信号INがハイレベルからローレベルに変化

し、その後、ローレベルからハイレベルに変化した場合における、ノードL〇とノードH〇のレベル変化を示している。

【0014】

入力制御信号INがハイレベルからローレベルに変化する場合、トランジスタQ1はオン状態からオフ状態になり、トランジスタQ2はオフ状態からオン状態になる。この場合、トランジスタQ1とトランジスタQ2とが同時にオン状態になるのを回避するため、トランジスタQ1がオフ状態になった後に、トランジスタQ2がオン状態になる必要がある。このため、入力制御信号INがハイレベルからローレベルになってから、各素子の動作に必要な遅延時間 t_{off} だけ遅れて、ノードH〇はハイレベルからローレベルになるが、ノードL〇は、入力制御信号INがハイレベルからローレベルになってから、マスク時間設定回路40の遅延時間 t_{on} だけ遅れて、ローレベルからハイレベルになる。

【0015】

このことは、入力制御信号INがローレベルからハイレベルに変化する場合にも同様であり、トランジスタQ2が遅延時間 t_{off} だけ遅れてオフ状態になり、トランジスタQ1が遅延時間 t_{on} だけ遅れてオン状態になる。

【0016】

このようなDC-DCコンバータ制御回路は、例えば、下記の特許文献1乃至特許文献3にも開示されている。

【0017】

【特許文献1】

特開平9-117131号公報

【特許文献2】

特開平11-32477号公報

【特許文献3】

特開平11-187651号公報

【0018】

【発明が解決しようとする課題】

しかしながら、図1に示した回路では、マスク時間設定回路40の遅延時間は

、素子のばらつきを考慮して、十分なマージンを設ける必要がある。すなわち、トランジスタQ1とトランジスタQ2とが、同時にオン状態にならないように、マスク時間設定回路40の遅延時間を、長めに設定しなければならない。

【0019】

このため、入力制御信号INのハイレベル／ローレベルが変化してから、トランジスタQ1又はトランジスタQ2がオン状態になるまでの時間が長くなり、回路のレスポンスを悪化させるという問題がある。しかし、マスク時間設定回路40の遅延時間を十分にとらないと、トランジスタQ1とトランジスタQ2とが同時にオンしてしまい、消費電力が増大し、最悪の場合には素子を破壊してしまう可能性が生じる。

【0020】

そこで本発明は、前記課題に鑑みてなされたものであり、DC-DCコンバータ制御回路及びDC-DCコンバータのレスポンス特性を向上させることを目的とする。

【0021】

【課題を解決するための手段】

上記課題を解決するため、本発明に係るDC-DCコンバータ制御回路は、第1電圧が供給される第1端子と、出力ノードに接続される第2端子とを有する、第1スイッチング素子と、前記出力ノードに接続される第1端子と、前記第1電圧よりも低い第2電圧が供給される第2端子とを有する、第2スイッチング素子と、前記第1スイッチング素子の制御端子に第1制御信号を出力し、前記第2スイッチング素子の制御端子に第2制御信号を出力することにより、前記第1スイッチング素子と前記第2スイッチング素子のオン状態とオフ状態とを制御する制御回路であって、前記第2スイッチング素子をオフ状態からオン状態にする際には、前記第1スイッチング素子がオフ状態であることを検出した後に、前記第2スイッチング素子をオン状態にする、制御回路と、を備えることを特徴とする。

【0022】

本発明に係るDC-DCコンバータは、第1電圧が供給される第1端子と、出力ノードに接続される第2端子とを有する、第1スイッチング素子と、前記出力

ノードに接続される第1端子と、前記第1電圧よりも低い第2電圧が供給される第2端子とを有する、第2スイッチング素子と、前記出力ノードの電圧と、参照電圧とを比較して、この比較結果に基づいて第1制御信号を生成して出力する、フィードバック回路と、第1制御信号が入力され、この第1制御信号に基づいて、前記第1スイッチング素子の制御端子に出力する第2制御信号と前記第2スイッチング素子の制御端子に出力する第3制御信号とを制御することにより、前記第1スイッチング素子と前記第2スイッチング素子のオン状態とオフ状態とを制御する制御回路であって、前記第2スイッチング素子をオフ状態からオン状態にする際には、前記第1スイッチング素子がオフ状態であることを検出した後に、前記第2スイッチング素子をオン状態にする、制御回路と、を備えることを特徴とする。

【0023】

【発明の実施の形態】

本実施形態は、ローサイドのトランジスタとハイサイドのトランジスタとを有するDC-DCコンバータ制御回路におけるハイサイドのトランジスタのオン/オフ状態を検出し、ローサイドのトランジスタをオフ状態からオン状態にする際には、ハイサイドのトランジスタがオン状態からオフ状態になったことを検出してから、ローサイドのトランジスタをオン状態にするようにしたのである。より詳しくを、以下に説明する。

【0024】

図3は、本実施形態に係るDC-DCコンバータ50の概略的構成を示す図である。この図3に示すように、本実施形態に係るDC-DCコンバータ50は、トランジスタQ1、Q2と、制御回路100と、フィードバック回路110と、インダクタンスL1とキャパシタC1とを備えて構成されている。そして、インダクタンスL1とキャパシタC1との間には、負荷R1が接続されている。また、本実施形態においては、制御回路100とトランジスタQ1、Q2とが1つのIC60として形成されており、このIC60の部分が、本実施形態におけるDC-DCコンバータ制御回路を構成している。

【0025】

このDC-DCコンバータ50の入力電圧VINが、トランジスタQ1に入力され、出力電圧OUT2が出力される。入力電圧VINをどのレベルに電圧シフトして出力電圧OUT2として出力するかは、トランジスタQ1とトランジスタQ2のオン/オフ比によって定まる。すなわち、制御回路100が、どの程度の割合でトランジスタQ1とトランジスタQ2をオン状態にするかで制御される。

【0026】

具体的には、図4に示すように、出力電圧OUT2は、トランジスタQ1がオン状態で、トランジスタQ2がオフ状態である場合には上昇し、逆に、トランジスタQ1がオフ状態で、トランジスタQ2がオン状態である場合には下降する。出力電圧OUT2の電圧を、フィードバック回路110が取得して、参照電圧と比較する。そして、フィードバック回路110は、出力電圧OUT2が参照電圧より高い場合は、ローレベルの入力制御信号INを制御回路100に出力し、出力電圧OUT2が参照電圧より低い場合は、ハイレベルの入力制御信号INを制御回路100に出力する。制御回路100は、この入力制御信号INのレベルに基づいて、トランジスタQ1及びトランジスタQ2のオン/オフを制御する。

【0027】

すなわち、出力電圧OUT2が参照電圧よりも高い場合には、制御回路100は、トランジスタQ1をオフ状態にし、トランジスタQ2をオン状態にする。これとは逆に、出力電圧OUT2が参照電圧よりも低い場合には、制御回路100は、トランジスタQ2をオフ状態にし、トランジスタQ1をオン状態にする。このような動作を繰り返すことにより、出力電圧OUT2の電圧が、参照電圧になるように制御する。

【0028】

図5は、制御回路100の回路構成を示す図である。この図5に示すように、本実施形態に係る制御回路100は、インバータ回路INV2、INV3、INV4と、NOR回路NR2、NR3と、レベルシフト回路120と、第1検出回路130と、第2検出回路140と、トランジスタQ11、Q12、Q21、Q22とを備えて構成されている。

【0029】

本実施形態においては、トランジスタQ11はP型のMISFETにより構成されており、トランジスタQ12はN型のMISFETにより構成されており、トランジスタQ21はP型のMISFETにより構成されており、トランジスタQ22はN型のMISFETにより構成されている。

【0030】

トランジスタQ11のソース端子には電圧BSTが供給されており、トランジスタQ11のドレイン端子は、トランジスタQ12のドレイン端子に接続されている。トランジスタQ12のソース端子はノードLXに接続されている。トランジスタQ12のドレイン端子は、ノードHOにも接続されている。トランジスタQ11とトランジスタQ12のゲート端子には、レベルシフト回路120からの出力信号が入力される。

【0031】

一方、トランジスタQ21のソース端子には電圧VDDが供給されており、トランジスタQ21のドレイン端子は、トランジスタQ22のドレイン端子に接続されている。トランジスタQ22のソース端子はグランドに接続されている。トランジスタQ22のドレイン端子は、ノードLOにも接続されている。トランジスタQ21とトランジスタQ22のゲート端子には、インバータ回路INV4からの出力信号が入力される。

【0032】

レベルシフト回路120は、グランド電圧基準の信号を、ノードLXの電圧VLX基準の信号に昇圧させる回路である。このため、レベルシフト回路30への入力がハイレベルである場合には、レベルシフト回路120は電圧VLX基準に対してハイレベルの信号を出力する。

【0033】

第1検出回路130は、ノードLXの電圧をモニターすることにより、トランジスタQ1がオフ状態になったことを検出するための回路である。本実施形態においては、第1検出回路130は、抵抗R1、R2、R3と、N型のMISFETにより構成されたトランジスタQ30とを備えて構成されている。

【0034】

具体的には、抵抗R1の一端はノードLXに接続されており、抵抗R1の他端はトランジスタQ30のドレイン端子に接続されている。トランジスタQ30のソース端子は、抵抗R2の一端に接続されており、抵抗R2の他端はグランドに接続されている。トランジスタQ30のゲート端子には、抵抗R3の一端が接続されており、抵抗R3の他端には電圧VDDが供給されている。そして、トランジスタQ30と抵抗R2との間のノードから出力された信号が、NOR回路NR3に入力されている。

【0035】

第2検出回路140は、ノードLOの電圧をモニターすることにより、トランジスタQ2がオフ状態になったことを検出するための回路である。本実施形態においては、第2検出回路140は、インバータ回路INV10、INV11を直列に接続することにより構成されている。すなわち、第2検出回路140は、ノードLOの電圧をバッファして出力する回路である。

【0036】

また、N型のMISFETにより構成されたトランジスタQ1とトランジスタQ2は、入力電圧VINとグランドとの間に直列に接続されている。すなわち、トランジスタQ1のドレイン端子には、入力電圧VINが供給される。トランジスタQ1のソース端子は、出力ノードに接続されているとともに、トランジスタQ2のドレイン端子に接続されている。トランジスタQ2のソース端子はグランドに接続されている。

【0037】

トランジスタQ1のゲート端子は、ノードHOに接続されており、このため、トランジスタQ1のオン／オフ状態は、トランジスタQ11及びトランジスタQ12のオン／オフ状態により制御される。トランジスタQ2のゲート端子は、ノードLOに接続されており、このため、トランジスタQ2のオン／オフ状態は、トランジスタQ21及びトランジスタQ22のオン／オフ状態により制御される。

【0038】

出力ノードには、インダクタンスL1の一端が接続されている。インダクタン

スL1の他端は、平滑コンデンサであるキャパシタC1の一端に接続されている。キャパシタC1の他端はグランドに接続されている。これらインダクタンスL1とキャパシタC1との間のノードに負荷R1が接続されており、出力電圧OUT2が出力される。

【0039】

このDC-DCコンバータは、次のように動作する。まず、ノードLXがハイレベルの場合を想定する。この場合、トランジスタQ1はオン状態であり、トランジスタQ2はオフ状態である。

【0040】

(1) この状態で、入力制御信号INがハイレベルからローレベルに変化したとする。ハイサイドにおいては、インバータ回路INV2の出力はハイレベルになる。したがって、NOR回路NR2の出力はローレベルであり、インバータ回路INV3の出力はハイレベルであり、レベルシフト回路120はハイレベルを出力する。

【0041】

レベルシフト回路120の出力がハイレベルであるので、トランジスタQ11はオフ状態になり、トランジスタQ12はオン状態になり、ノードHOはローレベルになる。したがって、トランジスタQ1がオン状態からオフ状態に変化する。

【0042】

一方、ローサイドにおいては、NOR回路NR3に、ローレベルの入力制御信号INが入力される。このNOR回路NR3には、第1検出回路130からの出力が入力されているので、この第1検出回路130からの出力がローレベルにならないと、NOR回路NR3の出力はハイレベルにならない。

【0043】

すなわち、ノードLXがハイレベルの場合、第1検出回路130のNOR回路NR3への出力は、電圧VDD-Vgs(Q30)=R2×Ids(Q30)となる。ここで、Vgs(Q30)はトランジスタQ30のゲート・ソース間の電圧であり、Ids(Q30)はトランジスタQ30のドレイン・ソース間を流れ

る電流である。

【0044】

このとき、 R_2 を大きくすれば、 $I_{ds}(Q30)$ を小さく制限することができる。それによって、 $V_{gs}(Q30)$ も小さくなり、NOR回路NR3への出力はハイレベルになる。

【0045】

ここで、入力制御信号INがハイレベルからローレベルに変化して、ハイサイドのトランジスタQ1がオン状態からオフ状態に変化するまでには、相応の時間が必要となる。したがって、入力制御信号INがハイレベルからローレベルに変化した時点では、まだトランジスタQ1がオフ状態になっていないので、ノードLXはハイレベルのままである。このため、第1検出回路130の出力はハイレベルのままであり、NOR回路NR3の出力はローレベルのままである。この結果、トランジスタQ2はオフ状態のまま維持される。

【0046】

相応の時間が経過し、トランジスタQ1がオン状態からオフ状態に変化すると、ノードLXの電圧も低下してくる。ノードLXの電圧の低下に伴って、 $V_{ds}(Q30)$ が低下し、トランジスタQ30がオン状態からオフ状態になる。ここで $V_{ds}(Q30)$ はトランジスタQ30のドレイン・ソース間電圧である。トランジスタQ30がオフ状態になると、NOR回路NR3への出力電圧は、電圧 $V_{LX} \times R_2 / (R_1 + R_2)$ となる。この電圧の値が、NOR回路NR3のしきい値電圧を下回ったときに、NOR回路NR3の出力は、ローレベルからハイレベルに変化する。

【0047】

NOR回路NR3の出力がハイレベルになると、インバータ回路INV4の出力がローレベルになり、トランジスタQ21がオン状態になり、トランジスタQ22がオフ状態になる。このため、ノードLOがハイレベルになり、トランジスタQ2がオフ状態からオン状態になる。このことから分かるように、本実施形態においては、トランジスタQ1がオン状態からオフ状態に変化したことを第1検出回路130が検出した後、トランジスタQ2がオフ状態からオン状態に変化す

るようしている。この目的のため、第1検出回路130により、フローティング基準で動作しているハイサイドの信号を、グランド基準の信号に変換し、NOR回路NR3に入力している。

【0048】

(2) 次に、この状態から、入力制御信号INがローレベルからハイレベルに変化したとする。ローサイドにおいては、ハイレベルの入力制御信号INがNOR回路NR3に入力され、NOR回路NR3の出力はローレベルになる。このため、インバータ回路INV4の出力はハイレベルになり、トランジスタQ21がオフ状態になり、トランジスタQ22がオン状態になり、ノードLOがローレベルになる。このため、トランジスタQ2がオン状態からオフ状態になる。

【0049】

一方、ハイサイドにおいては、インバータ回路INV2の出力がローレベルになり、NOR回路NR2にローレベルの信号が入力される。このNOR回路NR2には、第2検出回路140からの出力が入力されているので、この第2検出回路140からの出力がローレベルにならないと、NOR回路NR2の出力はハイレベルにならない。

【0050】

すなわち、ノードLOの電圧がハイレベルからローレベルに変化し、トランジスタQ2がオン状態からオフ状態になった後でないと、NOR回路NR2の出力はハイレベルにならない。ノードLOがローレベルになると、NOR回路NR2の出力がハイレベルになり、インバータ回路INV3の出力がローレベルになり、レベルシフト回路120の出力もローレベルになる。これにより、トランジスタQ11がオン状態になり、トランジスタQ12がオフ状態になり、ノードHOがハイレベルになる。このため、トランジスタQ1がオフ状態からオン状態に変化する。

【0051】

このことから分かるように、本実施形態においては、トランジスタQ2がオン状態からオフ状態に変化したことを第2検出回路140が検出した後、トランジスタQ1がオフ状態からオン状態に変化するようにしている。すなわち、第2検

出回路140が、ノードL0の電圧をモニターすることにより、トランジスタQ2がオフ状態になったことを検出しているのである。

【0052】

図6は、図5に示したDC-DCコンバータ制御回路の動作波形の一例を示す図である。この図6では、入力制御信号INがハイレベルからローレベルに変化し、その後、ローレベルからハイレベルに変化した場合における、ノードL0とノードH0のレベル変化を示している。

【0053】

図2と比較すると分かるように、トランジスタQ1及びトランジスタQ2がオフ状態からオン状態に変化する際の遅延時間 t_{on} が、従来のものより短くなっている。すなわち、入力制御信号INがハイレベルからローレベルに変化した場合には、ノードH0は遅延時間 t_{off} だけ遅れて、ハイレベルからローレベルになるが、ノードL0は、遅延時間 t_{on} だけ遅れて、ローレベルからハイレベルになる。本実施形態に係るDC-DCコンバータ制御回路によれば、この遅延時間 t_{on} が、従来のDC-DCコンバータ制御回路よりも短くなっている。

【0054】

このことは、入力制御信号INがローレベルからハイレベルに変化する場合にも、同様であり、ハイサイドのトランジスタQ1の遅延時間 t_{on} が従来のものよりも短くなっている。このため、本実施形態に係るDC-DCコンバータ制御回路及びDC-DCコンバータによれば、高速応答性を実現できる。

【0055】

また、トランジスタQ30のゲート電圧を低電圧電源として利用しているため、微細プロセスのMISFETを利用して、本実施形態に係るDC-DCコンバータ制御回路を実現することができるとともに、入力電圧VINに対する動作範囲を大きくすることができる。

【0056】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、スイッチング素子の一例としてMISFETを用いたが、他の素子によりスイッチング素子を実現するようにしてもよい。また、第

1 検出回路 130 の回路構成も、上述した実施形態の構成に限られるものではなく、他の回路構成により同等の機能を実現するようにしてもよい。

【0057】

【発明の効果】

以上説明したように、本発明によれば、DC-DCコンバータ制御回路及びDC-DCコンバータのレスポンス特性を向上させることができる。

【図面の簡単な説明】

【図1】

従来のDC-DCコンバータ制御回路の回路構成を示す図である。

【図2】

図1のDC-DCコンバータ制御回路の動作波形の一例を示す図である。

【図3】

本実施形態に係るDC-DCコンバータの概略構成を示す図である。

【図4】

図3のDC-DCコンバータの出力電圧の波形の一例を示す図である。

【図5】

本実施形態に係るDC-DCコンバータ制御回路の回路構成を示す図である。

【図6】

図5のDC-DCコンバータ制御回路の動作波形の一例を示す図である。

【符号の説明】

IN 入力制御信号

VIN 入力電圧

OUT1、OUT2 出力電圧

L1 インダクタンス

C1 キャパシタ

Q1、Q2 トランジスタ

100 制御回路

110 フィードバック回路

120 レベルシフト回路

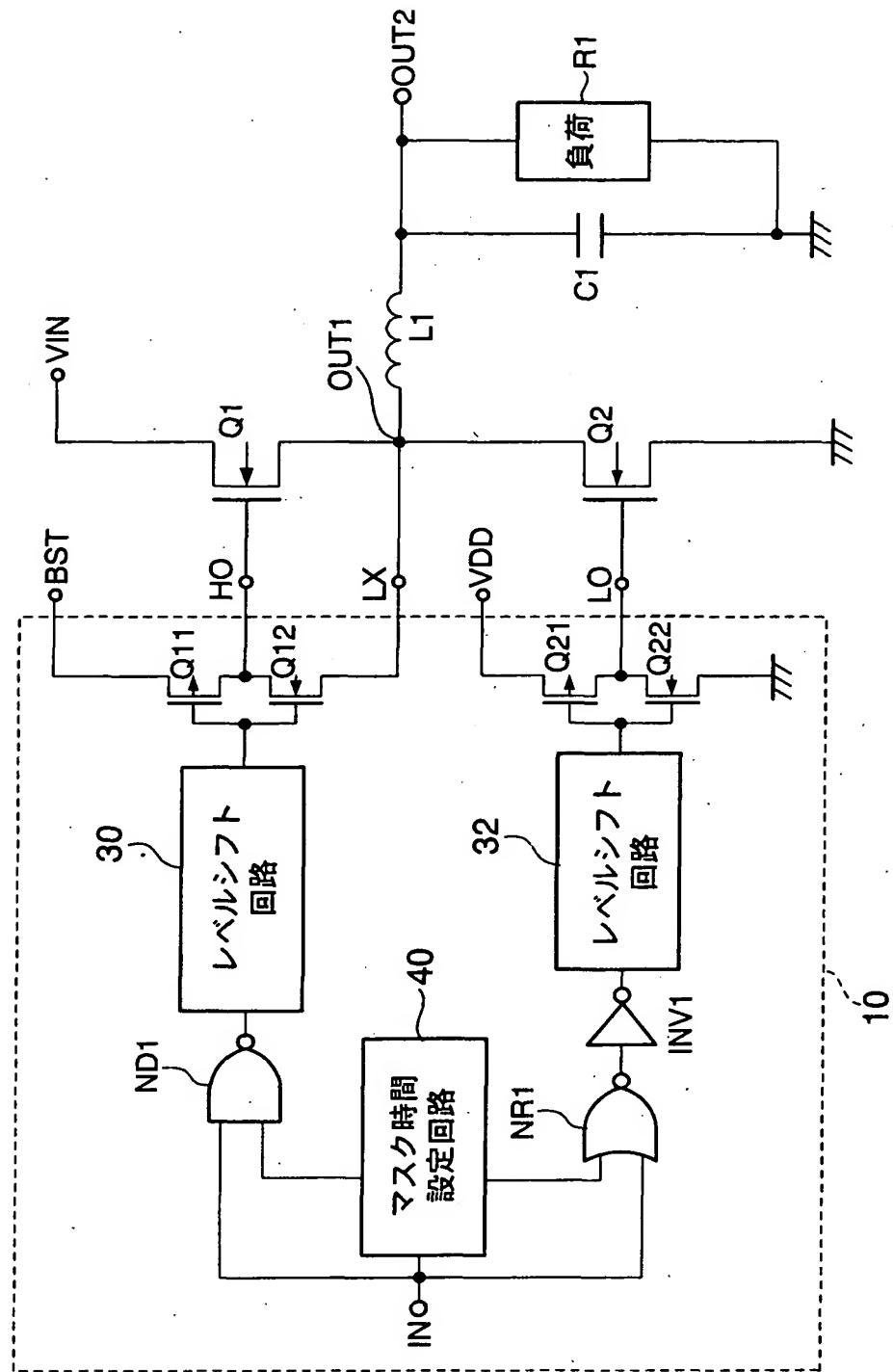
特2003-115861

130 第1検出回路

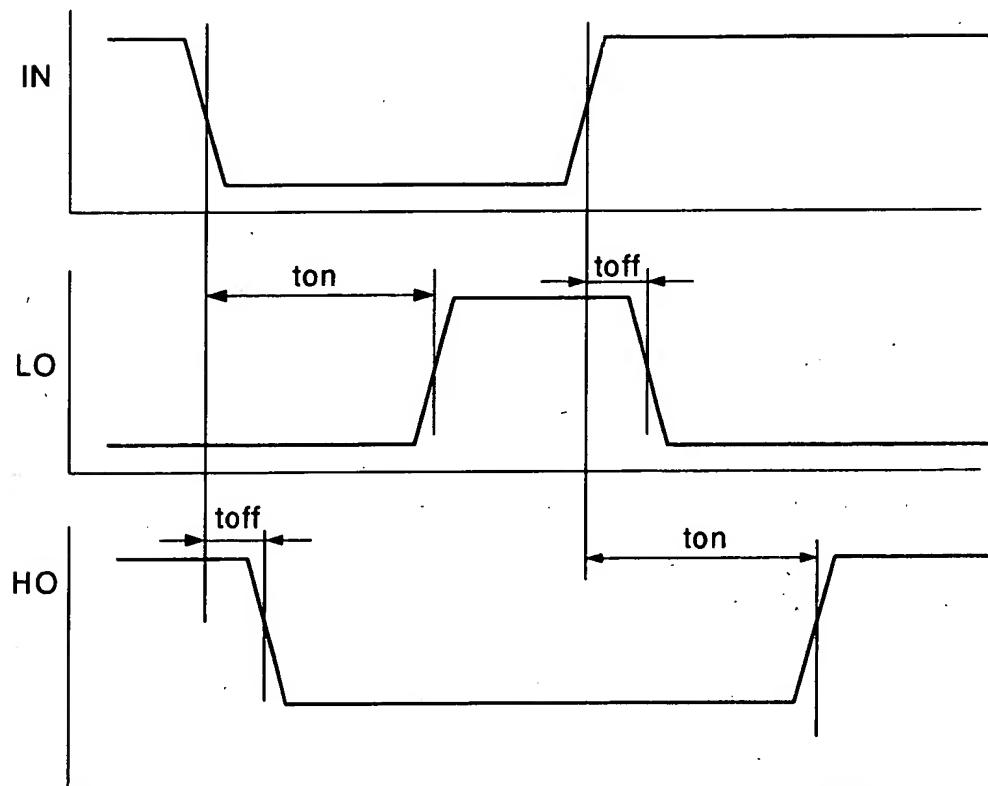
140 第2検出回路

【書類名】 図面

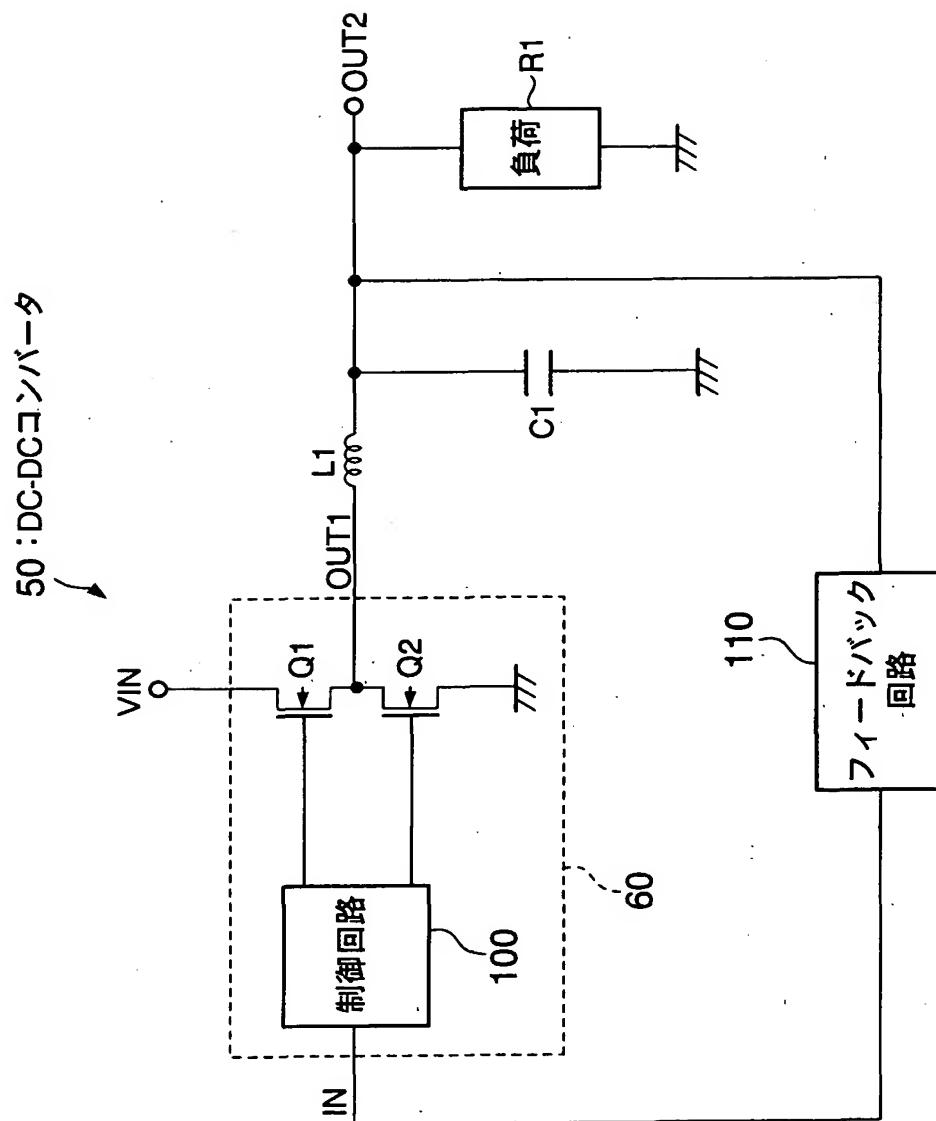
【図1】



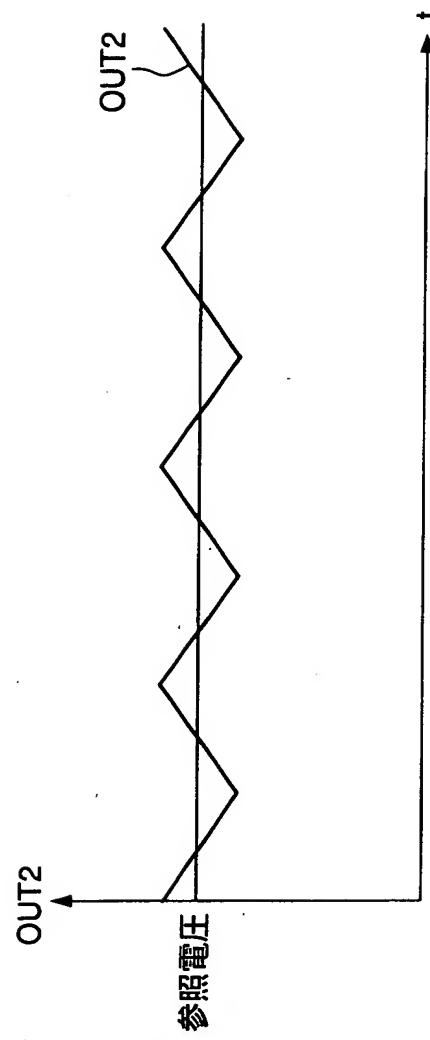
【図2】



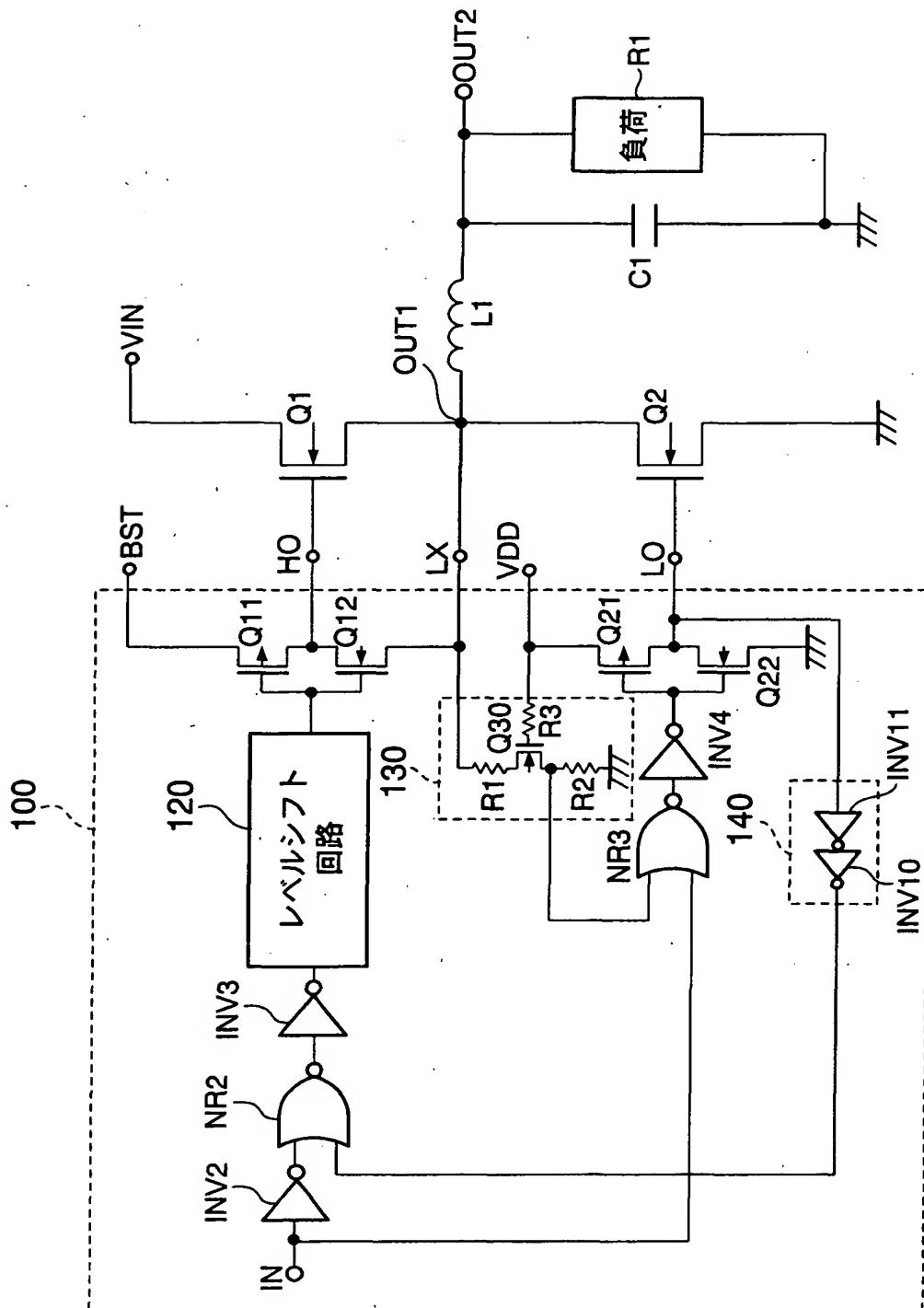
【図3】



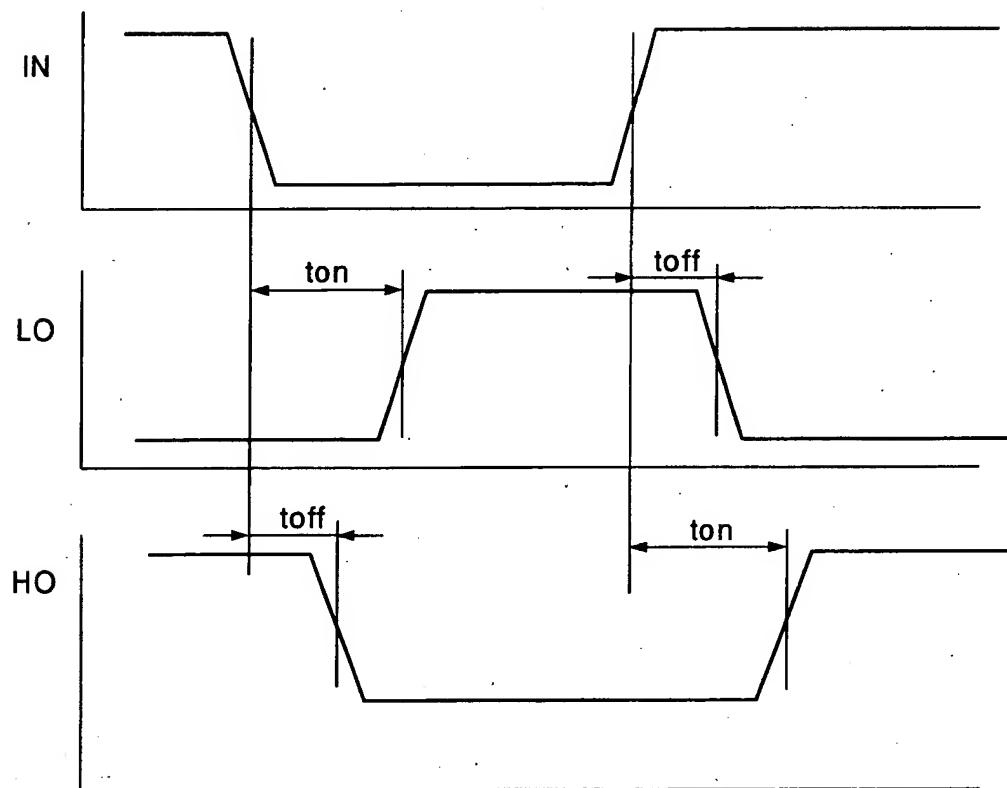
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 レスポンス特性の良いDC-DCコンバータ制御回路、及び、そのようなDC-DCコンバータ制御回路を有するDC-DCコンバータを提供する。

【解決手段】 DC-DCコンバータ制御回路は、ハイサイドのトランジスタQ1とローサイドのトランジスタQ2とを有する。制御回路100は、ハイサイドのトランジスタQ1のオン／オフ状態を検出し、ローサイドのトランジスタQ2をオフ状態からオン状態にする際には、ハイサイドのトランジスタQ1がオン状態からオフ状態になったことを検出してから、ローサイドのトランジスタQ2をオン状態にする。

【選択図】 図5

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝